



(12)发明专利

(10)授权公告号 CN 108320700 B

(45)授权公告日 2020.04.14

(21)申请号 201810443049.2

(22)申请日 2018.05.10

(65)同一申请的已公布的文献号

申请公布号 CN 108320700 A

(43)申请公布日 2018.07.24

(30)优先权数据

107107485 2018.03.06 TW

(73)专利权人 友达光电股份有限公司

地址 中国台湾新竹市

(72)发明人 洪嘉泽 郑贤薰

(74)专利代理机构 隆天知识产权代理有限公司

72003

代理人 黄艳 李琛

(51)Int.Cl.

G09G 3/32(2016.01)

(56)对比文件

CN 101387773 A, 2009.03.18,

CN 102915715 A, 2013.02.06,

CN 102915715 A, 2013.02.06,

CN 104036743 A, 2014.09.10,

CN 104157251 A, 2014.11.19,

CN 104332148 A, 2015.02.04,

CN 104795036 A, 2015.07.22,

CN 104854652 A, 2015.08.19,

US 2016049124 A1, 2016.02.18,

审查员 林邦镛

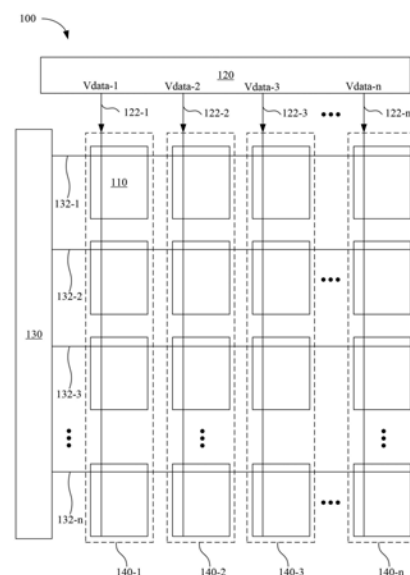
权利要求书2页 说明书9页 附图7页

(54)发明名称

微发光二极管显示面板和驱动方法

(57)摘要

微发光二极管显示面板包含多个像素电路、第一数据线和第二数据线。多个像素电路排列成多行的一矩阵形状。第一数据线耦接于多个像素电路中的第一行像素电路,用于输出第一数据电压至第一行像素电路。第二数据线耦接于多个像素电路中的第二行像素电路,用于输出第二数据电压至第二行像素电路。当多个像素电路共同发光时,第一数据电压于预设时段中具有固定的电压电平,第二数据电压具有非固定的电压电平。



1. 一种微发光二极管显示面板, 包含:

多个像素电路, 排列成多行的一矩阵形状;

一第一数据线, 耦接于该多个像素电路中的一第一行像素电路, 用于输出一第一数据电压至该第一行像素电路; 以及

一第二数据线, 耦接于该多个像素电路中的一第二行像素电路, 用于输出一第二数据电压至该第二行像素电路, 其中, 该第二行像素电路为绿色像素电路;

其中, 当该多个像素电路共同发光时, 该第一数据电压于一预设时段中具有固定的电压电平, 该第二数据电压具有非固定的电压电平。

2. 如权利要求1所述的显示面板, 其中, 当该多个像素电路共同发光时, 该第一数据电压的波形为方波, 该第二数据电压的波形为三角波。

3. 如权利要求1所述的显示面板, 其中, 当该多个像素电路不发光时, 该第一行像素电路中的每个像素电路按序自该第一数据线接收该第一数据电压, 该第二行像素电路中的每个像素电路按序自该第二数据线接收该第二数据电压,

当该多个像素电路共同发光时, 该第一行像素电路中的每个像素电路共同接收该第一数据电压, 该第二行像素电路中的每个像素电路共同接收该第二数据电压。

4. 如权利要求3所述的显示面板, 其中, 当该多个像素电路共同发光时, 该第二行像素电路中的每个像素电路具有一可变发光时间, 且该可变发光时间正相关于该第二行像素电路中的每个像素电路于该多个像素电路不发光时接收到的该第二数据电压的大小。

5. 如权利要求4所述的显示面板, 其中, 该第二行像素电路的每个像素电路于该可变发光时间具有一固定驱动电流。

6. 如权利要求3所述的显示面板, 其中, 当该多个像素电路共同发光时, 该第一行像素电路中的每个像素电路具有一固定发光时间及一可变驱动电流, 且该可变驱动电流正相关于该第一行像素电路中的每个像素电路于该多个像素电路不发光时接收到的该第一数据电压的大小。

7. 如权利要求1所述的显示面板, 其中, 每个像素电路包含:

一驱动晶体管, 用于产生一驱动电流, 其中该驱动晶体管的一第一端用于接收一系统高电压;

一第一开关, 该第一开关的一第一端耦接于该驱动晶体管的一控制端, 该第一开关的一第二端耦接于该驱动晶体管的一第二端, 该第一开关的一控制端用于接收一第一控制信号;

一第二开关, 该第二开关的一第一端耦接于该驱动晶体管的该第二端, 该第二开关的一第二端用于接收一参考电压, 该第二开关的一控制端用于接收一第二控制信号;

一第三开关, 该第三开关的一第一端耦接于该驱动晶体管的该第二端, 该第三开关的一控制端耦接于一发光控制信号;

一微发光二极管, 该微发光二极管的一阳极端耦接于该第三开关的一第二端, 并用于接收该驱动电流, 该微发光二极管的一阴极端用于接收一系统低电压; 以及

一电容, 该电容的一第一端耦接于该第一数据线或该第二数据线, 该电容的一第二端耦接于该驱动晶体管的该控制端。

8. 如权利要求7所述的显示面板, 其中, 若该电容的该第一端耦接于该第二数据线, 当

该发光控制信号处于一低电压电平时,该驱动电流具有一固定峰值。

9.如权利要求7所述的显示面板,其中,若该电容的该第一端耦接于该第二数据线,当该发光控制信号处于一低电压电平时,该驱动电流的波形的宽度正相关于该电容的该第一端于该第一控制信号处于一低电压电平时接收到的该第二数据电压的大小。

10.一种驱动方法,包含:

提供一微发光二极管显示面板,该微发光二极管显示面板包含多个像素电路,排列成多行的一矩阵形状;以及

分别提供一第一数据电压和一第二数据电压至该矩阵形状中的一第一行像素电路和一第二行像素电路,其中,该第二行像素电路为绿色像素电路;

其中,当该多个像素电路共同发光时,该第一数据电压于一预设时段中具有固定的电压电平,该第二数据电压具有非固定的电压电平。

11.如权利要求10所述的驱动方法,其中,当该多个像素电路共同发光时,该第一数据电压的波形为方波,该第二数据电压的波形为三角波。

12.如权利要求11所述的驱动方法,其中,分别提供一第一数据电压和一第二数据电压至该矩阵形状中的一第一行像素电路和一第二行像素电路的流程包含:

当该多个像素电路不发光时,提供波形大致为方波的该第一数据电压至该第一行像素电路,提供波形大致为方波的该第二数据电压至该第二行像素电路;

当该多个像素电路共同发光时,提供波形为方波的该第一数据电压至该第一行像素电路,提供波形为三角波的该第二数据电压至该第二行像素电路。

13.如权利要求12所述的驱动方法,其中,

当该多个像素电路不发光时,该第一行像素电路中的每个像素电路按序接收该第一数据电压,该第二行像素电路中的每个像素电路按序接收该第二数据电压,

当该多个像素电路共同发光时,该第一行像素电路中的每个像素电路共同接收该第一数据电压,该第二行像素电路中的每个像素电路共同接收该第二数据电压。

14.如权利要求12所述的驱动方法,其中,当该多个像素电路共同发光时,该第二行像素电路中的每个像素电路具有一可变发光时间,且该可变发光时间正相关于该第二行像素电路中的每个像素电路于该多个像素电路不发光时接收到的该第二数据电压的大小。

15.如权利要求14所述的驱动方法,其中,该第二行像素电路的每个像素电路于该可变发光时间皆具有一固定驱动电流。

16.如权利要求12所述的驱动方法,其中,当该多个像素电路共同发光时,该第一行像素电路中的每个像素电路具有一固定发光时间及一可变驱动电流,且该可变驱动电流正相关于该第一行像素电路中的每个像素电路于该多个像素电路不发光时接收到的该第一数据电压的大小。

微发光二极管显示面板和驱动方法

技术领域

[0001] 本公开文件有关一种微发光二极管显示面板,特别涉及一种能避免色偏的微发光二极管显示面板。

背景技术

[0002] 相较于液晶显示器,微发光二极管(micro LED)显示器具有低功率消耗、高色彩饱和度和高反应速度等优点,使得微发光二极管显示器被视为下一代主流显示器产品的热门技术之一。传统的微发光二极管显示器通过调整提供给像素电路的电流,来控制像素电路中的微发光二极管产生的光线的亮度。然而,受限于目前的工艺技术,绿色微发光二极管产生的光线的波长,会反比于流经绿色微发光二极管的电流。因此,当传统的微发光二极管显示器中的绿色像素电路欲显示不同灰阶亮度时,会面临绿色色偏(color shift)的问题。

发明内容

[0003] 有鉴于此,如何提供能避免色偏的微发光二极管显示面板和驱动方法,实为业界有待解决的问题。

[0004] 微发光二极管显示面板包含多个像素电路、第一数据线和第二数据线。多个像素电路排列成多行的一矩阵形状。第一数据线耦接于该多个像素电路中的一第一行像素电路,用于输出一第一数据电压至该第一行像素电路。第二数据线耦接于该多个像素电路中的一第二行像素电路,用于输出一第二数据电压至该第二行像素电路。其中,当该多个像素电路共同发光时,该第一数据电压于一预设时段中具有固定的电压电平,该第二数据电压具有非固定的电压电平。

[0005] 一种驱动方法包含以下流程:提供一微发光二极管显示面板,该微发光二极管显示面板包含多个像素电路,排列成多行的一矩阵形状;分别提供一第一数据电压和一第二数据电压至该矩阵形状中的一第一行像素电路和一第二行像素电路;其中,当该多个像素电路共同发光时,该第一数据电压于一预设时段中具有固定的电压电平,该第二数据电压具有非固定的电压电平。

[0006] 上述的微发光二极管显示面板和驱动方法,可使绿色的像素电路产生的光线具有相同的波长,进而避免色偏问题。

附图说明

[0007] 为让公开文件的上述和其他目的、特征、优点与实施例能更明显易懂,附图的说明如下:

[0008] 图1为根据本公开文件一实施例的微发光二极管显示面板简化后的功能方框图。

[0009] 图2为根据图1的微发光二极管显示面板的一运行实施例简化后的时序变化图。

[0010] 图3为依据图1中的像素电路的一实施例简化后的电路示意图。

[0011] 图4a和图4b为依据图3的像素电路的一运行实施例简化后的时序变化图。

- [0012] 图5为依据图3的像素电路的另一运行实施例简化后的时序变化图。
- [0013] 图6为依据本公开文件的一实施例的驱动方法简化后的流程图。
- [0014] 附图标记说明：
- [0015] 100:微发光二极管显示面板
- [0016] 110:像素电路
- [0017] 120:源极驱动电路
- [0018] 122-1~122-n:源极信号线
- [0019] 130:栅极驱动电路
- [0020] 132-1~132-n:栅极信号线
- [0021] 140-1~140-n:行
- [0022] Vdata-1~Vdata-n:数据电压
- [0023] EM1~EM5:第一时段~第五时段
- [0024] 111:驱动晶体管
- [0025] 112:第一开关
- [0026] 113:第二开关
- [0027] 114:第三开关
- [0028] 115:微发光二极管
- [0029] 116:电容
- [0030] Idri:驱动电流
- [0031] Ng:第一节点
- [0032] Nd:第二节点
- [0033] OVDD:系统高电压
- [0034] OVSS:系统低电压
- [0035] SEL1:第一控制信号
- [0036] SEL2:第二控制信号
- [0037] EM:发光控制信号
- [0038] Vref:参考电压
- [0039] Vg:第一节点电压
- [0040] Vgr1~Vgr4:第一灰阶电压~第四灰阶电压
- [0041] Vd1~Vd3:第一预设电压~第三预设电压
- [0042] Vth:临界电压
- [0043] $\Delta V2$:第四灰阶电压和第三预设电压的差值
- [0044] $\Delta V1$:第三灰阶电压和第三预设电压的差值
- [0045] S602~S610:流程

具体实施方式

[0046] 以下将配合相关附图来说明本发明的实施例。在附图中,相同的标号表示相同或类似的元件或方法流程。

[0047] 图1为根据本公开文件一实施例的微发光二极管显示面板100简化后的功能方框

图。微发光二极管显示面板100包含多个像素电路110、一源极驱动电路120、一栅极驱动电路130、多个源极信号线122-1~122-n和多个栅极信号线132-1~132-n。多个像素电路110排列成一阵列形状,且该阵列形状具有多行140-1~140-n。为使图面简洁而易于说明,微发光二极管显示面板100中的其他元件与连接关系并未示出于图1中。

[0048] 本公开说明书和附图中使用的元件和信号编号中的索引1~n,只是为了方便指称个别的元件和信号,并非有意将前述元件和信号的数量局限在特定数目,且n为一正整数。在本公开说明书和附图中,若使用某一元件或信号编号时没有指明该元件或信号编号的索引,则代表该元件或信号编号是指称所属元件或信号群中不特定的任一元件或信号。例如,元件编号122-1指称的对象是源极信号线122-1,而元件编号122指称的对象则是源极信号线122-1~122-n中不特定的任意源极信号线122。又例如,信号编号Vdata-1指称的对象是数据电压Vdata-1,而信号编号Vdata指称的对象则是数据电压Vdata-1~Vdata-n中不特定的任意数据电压Vdata。

[0049] 源极驱动电路120用于分别提供数据电压Vdata-1~Vdata-n至源极数据线122-1~122-n。源极数据线122-1~122-n分别耦接于行140-1~140-n中的像素电路110,且用于将数据电压Vdata-1~Vdata-n分别传送至行140-1~140-n中的像素电路110。栅极驱动电路130用于利用栅极信号线132a~132n控制多个像素电路110按序接收数据电压Vdata。

[0050] 请注意,图1的像素电路110耦接的栅极信号线132的数目仅为示范性实施例。在某些实施例中,像素电路110耦接于多个(例如,3个)栅极信号线。

[0051] 为了叙述上的简洁,以下将以行140-1~140-3的像素电路110说明微发光二极管显示面板100的运行方式。行140-1的像素电路110为蓝色像素电路,行140-2的像素电路110为红色像素电路,行140-3的像素电路110为绿色像素电路。然而,微发光二极管显示面板100的像素排列方式并不以本实施例为限。

[0052] 图2为根据图1的微发光二极管显示面板100的一运行实施例简化后的时序变化图。请同时参照图1和图2,微发光二极管显示面板100的一个运行周期包含写入阶段和发光阶段。于写入阶段中,所有的像素电路110不会发光,并按序接收数据电压Vdata,直到进入发光阶段时,所有的像素电路110共同接收数据电压Vdata并共同发光。

[0053] 例如,于写入阶段中,行140-1~140-3中耦接于栅极信号线132-1的像素电路110分别接收数据电压Vdata-1~Vdata-3。接着,行140-1~140-3中耦接于栅极信号线132-2的像素电路110分别接收数据电压Vdata-1~Vdata-3,其余依此类推,直到所有像素电路110都接收了对应的数据电压Vdata。

[0054] 接着,于发光阶段中,数据电压Vdata-1和数据电压Vdata-2会于第一时段EM1中维持于固定电压电平,以使行140-1和140-2的像素电路110各自依据于写入阶段接收到的数据电压Vdata-1或Vdata-2,于第一时段EM1中产生特定亮度。

[0055] 换言之,于发光阶段中,数据电压Vdata-1和Vdata-2的波形近似于方波。而行140-1和140-2的像素电路110(亦即,蓝色和红色的像素电路110)具有可变发光亮度和固定发光时间(例如,第一时段EM1)。其中,前述的可变发光亮度代表行140-1和140-2的像素电路110于发光阶段中具有可变大小的驱动电流。

[0056] 另一方面,于发光阶段中,行140-3的每个像素电路110(亦即,绿色的像素电路110)具有固定发光亮度,以使行140-3的每个像素电路110产生的光线的波长能趋近一致,

以避免色偏。并且,数据电压Vdata-3的波形为先递减再递增的三角波,以使行140-3的每个像素电路110具有可变的发光时间。其中,前述的固定发光亮度代表行140-3的像素电路110于发光阶段中具有固定大小的驱动电流。

[0057] 详细而言,微发光二极管显示面板100通过调整行140-3的像素电路110于写入阶段接收到的数据电压Vdata-3,来决定前述可变发光时间的长短。如此一来,通过固定发光亮度和可变发光时间的互相搭配,便可以使人眼感受到不同的等效亮度,且可同时避免绿色像素电路发生色偏问题。

[0058] 例如,行140-3中位于某一列的像素电路110于第一时段T1接收到较大的数据电压Vdata-3,所以会在较长的第二时段EM2中产生固定发光亮度,进而令使用者感受到较高的等效亮度。

[0059] 又例如,行140-3中位于另一列的像素电路110于第二时段T2接收到的较小的数据电压Vdata-3,所以会在较短的第三时段EM3中产生固定发光亮度,进而令使用者感受到较低的等效亮度。

[0060] 以下将搭配图3至图5进一步说明微发光二极管显示面板100的运行方式。图3为依据图1中的像素电路110的一实施例简化后的电路示意图。如图3所示,像素电路110包含驱动晶体管111、第一开关112、第二开关113、第三开关114、微发光二极管115和电容116。

[0061] 实作上,驱动晶体管111、第一开关112、第二开关113和第三开关114可用各种合适的P型晶体管来实现。例如,P型的低温多晶硅薄膜晶体管(low temperature poly-silicon thin-film transistor)。

[0062] 驱动晶体管111包含第一端、第二端和控制端,其中第一端用于接收系统高电压OVDD,控制端耦接于第一节点Ng,第二端耦接于第二节点Nd。驱动晶体管111并用于提供用于点亮微发光二极管115的驱动电流Idri。第一开关112包含第一端、第二端和控制端,其中第一端耦接于第一节点Ng,第二端耦接于第二节点Nd,且控制端用于接收第一控制信号SEL1。第二开关113包含第一端、第二端和控制端,其中第一端耦接于第二节点Nd,第二端用于接收参考电压Vref,且控制端用于接收第二控制信号SEL2。第三开关114包含第一端、第二端和控制端,其中第一端耦接于第二节点Nd,第二端耦接于微发光二极管115的阳极端,且控制端用于接收发光控制信号EM。微发光二极管115的阴极端用于接收系统低电压0VSS。电容116包含第一端和第二端,其中第一端耦接于数据线122a~122n的其中之一,第二端则耦接于第一节点Ng。

[0063] 图4a和图4b为依据图3的像素电路110的一运行实施例简化后的时序变化图。在图4a和图4b的实施例中,电容116的第一端耦接于数据线122-3,以接收数据电压Vdata-3。如图4a所示,当像素电路110于写入阶段中接收数据电压Vdata-3时,像素电路110的运行进一步包含了重置阶段和补偿阶段。

[0064] 请同时参照图3、图4a和图4b,于微发光二极管显示面板100的第一运行周期的写入阶段中,当像素电路110处于重置阶段时,第一控制信号SEL1和第二控制信号SEL2处于低电压电平,而发光控制信号EM处于高电压电平。因此,第一开关112和第二开关113处于导通状态,而第三开关114处于关断状态。

[0065] 此时,参考电压Vref会经由第一开关112和第二开关113传递至第一节点Ng,使得第一节点Ng(亦即,驱动晶体管111的栅极端)的电压Vg被重置为近似于参考电压Vref。其

中,参考电压Vref小于系统高电压OVDD。

[0066] 接着,当像素电路110处于补偿阶段时,第一控制信号SEL1处于低电压电平,而第二控制信号SEL2和发光控制信号EM处于高电压电平。因此,第一开关112处于导通状态,而第二开关113和第三开关114处于关断状态。

[0067] 此时,系统高电压OVDD会经由驱动晶体管111和第一开关112传递至第一节点Ng。因此,第一节点Ng的电压Vg会逐渐升高,直到第一节点Ng的电压Vg近似于系统高电压OVDD和驱动晶体管111的临界电压Vth(threshold voltage)的绝对值的差值为止。亦即,在补偿阶段结束时,第一节点Ng的电压Vg可以用以下的《公式1》表示:

[0068] $V_g = OVDD - |V_{th}|$ 《公式1》

[0069] 另外,于像素电路110的写入阶段和补偿阶段中,数据电压Vdata-3皆维持于第一灰阶电压Vgr1。因此,于补偿阶段结束时,电容116的第一端和第二端会具有预定电压差值。

[0070] 在像素电路110结束补偿阶段后,第一控制信号SEL1、第二控制信号SEL2和发光控制信号EM皆处于高电压电平。因此,像素电路110的第一开关112、第二开关113和第三开关114皆处于关断状态,且第一节点Ng会处于浮接(floating)状态。

[0071] 在此情况下,即使微发光二极管显示面板100进行其他像素电路的数据电压写入运行,而需要改变数据电压Vdata-3的电压电平,电容116的第一端和第二端仍会具有前述的预定电压差值。

[0072] 于微发光二极管显示面板100的第一运行周期的发光阶段中,第一控制信号SEL1和第二控制信号SEL2处于高电压电平,而发光控制信号EM处于低电压电平。因此,第一开关112和第二开关113处于关断状态,而第三开关114处于导通状态。

[0073] 数据电压Vdata-3会先上升至第一预设电压Vd1,再自第一预设电压Vd1逐渐下降。当数据电压Vdata-3下降至等于第二预设电压Vd2时,数据电压Vdata-3会逐渐上升直到数据电压Vdata-3再度等于第一预设电压Vd1。

[0074] 在本实施例中,数据电压Vdata-3于写入阶段中的电压电平,介于第一预设电压Vd1和第二预设电压Vd2之间。

[0075] 由于第一节点Ng于发光阶段中处于浮接状态,所以第一节点Ng的电压Vg的变化量,会正相关于数据电压Vdata-3的变化量。亦即,于发光阶段开始时,第一节点Ng的电压Vg会因为电容116的电容耦合效应而被抬升至较高电压电平。因此,当数据电压Vdata-3自第一预设电压Vd1下降时,驱动晶体管111会因为第一节点Ng的电压Vg处于较高电压电平而先处于关断状态。

[0076] 接着,当数据电压Vdata-3下降至第一灰阶电压Vgr1时,由于电容116的第一端和第二端仍具有前述的预定电压差值,第一节点Ng的电压Vg会等于上述《公式1》所示的电压电平,使得驱动晶体管111自关断状态切换至导通状态。

[0077] 相似地,当数据电压Vdata-3自第二预设电压Vd2上升至第一灰阶电压Vgr1时,由于电容116的第一端和第二端具有前述的预定电压差值,第一节点Ng的电压Vg会等于上述《公式1》所示的电压电平,使得驱动晶体管111自导通状态切换至关断状态。

[0078] 换言之,于发光阶段中,驱动晶体管111会于图4b中的第四时段EM4中提供驱动电流Idri至微发光二极管115,以于第四时段EM4中点亮微发光二极管115。

[0079] 值得一提的是,于第四时段EM4中,驱动晶体管111是运行于线性区(linear

region)。因此,系统高电压OVDD会完整传递至微发光二极管115的阳极端,进而使微发光二极管115依据系统高电压OVDD和系统低电压OVSS的差值决定驱动电流Idri的大小。

[0080] 并且,如上述《公式1》所示,像素电路110能够依据驱动晶体管111的临界电压Vth调整第一节点Ng的电压Vg。因此,即使驱动晶体管111的临界电压Vth因工艺因素产生变异,像素电路110仍可于发光阶段维持相同的导通程度,进而确保系统高电压OVDD完整传递至微发光二极管115。

[0081] 接着,微发光二极管显示器100进入第二运行周期。像素电路110于第二运行周期的写入阶段的运行,相似于像素电路110于第一运行周期的写入阶段的运行,为简洁起见,在此不重复赘述。

[0082] 像素电路110于第二运行周期的重置阶段和补偿阶段中接收到的数据电压Vdata-3等于第二灰阶电压Vgr2,且第二灰阶电压Vgr2高于第一灰阶电压Vgr1,使得第一预设电压Vd1和第二灰阶电压Vgr2的差值,小于第一预设电压Vd1和第一灰阶电压Vgr1的差值。

[0083] 因此,相较于第一运行周期,当数据电压Vdata-3中自第一预设电压Vd1下降时,第一节点Ng的电压Vg会较早等于上述《公式1》所示的电压电平,而使驱动晶体管111较早导通。

[0084] 另外,同样相较于第一运行周期,当数据电压Vdata-3于第二运行周期中自第二预设电压Vd2上升时,第一节点Ng的电压Vg会较晚等于上述《公式1》所示的电压电平,而使驱动晶体管111较晚关闭。

[0085] 换言之,于第二运行周期的发光阶段中,驱动晶体管111会于图4b中的第五时段EM5中持续导通,且第五时段EM5的时间长度大于第四时段EM4的时间长度。并且,于第五时段EM5中,系统高电压OVDD会传递至微发光二极管115的阳极端,使微发光二极管115依据系统高电压OVDD和系统低电压OVSS的差值决定的驱动电流Idri的大小。

[0086] 需要特别说明的是,系统高电压OVDD和系统低电压OVSS皆为固定电压。因此,于第四时段EM4和第五时段EM5中,像素电路110具有固定大小的驱动电流Idri(亦即,驱动电流Idri具有相同的一固定峰值),进而使微发光二极管115具有相同的发光亮度。

[0087] 由上述可知,于写入阶段中,数据电压Vdata-3的波型近似于方波,而于发光阶段中,数据电压Vdata-3的波型近似于先下降再上升的三角波,且像素电路110具有固定发光亮度和可变发光时间(例如,第四时段EM4或第五时段EM5)。

[0088] 另外,像素电路110的可变发光时间正相关于像素电路110于重置阶段和补偿阶段接收到的数据电压Vdata-3(例如,第一灰阶电压Vgr1或第二灰阶电压Vgr2)。亦即,驱动电流Idri的波形宽度正相关于像素电路110于重置阶段和补偿阶段接收到的数据电压Vdata-3。

[0089] 图5为依据图3的像素电路110的另一运行实施例简化后的时序变化图。在图5的实施例中,电容116的第一端耦接于数据线122-1或122-2,以接收数据电压Vdata-1或Vdata-2。

[0090] 在本实施例中,像素电路110的运行方式相似于图4的实施例的运行方式,差异在于数据电压Vdata-1和Vdata-2于发光阶段中维持于第三预设电压Vd3,使驱动晶体管111于发光阶段中皆维持于导通状态,其中驱动晶体管111于发光阶段中运行于饱和区(saturation region)。

[0091] 具体而言,于第三运行周期中,像素电路110于重置阶段和补偿阶段接收到第三灰阶电压Vgr3。因此,于发光阶段中,第一节点Ng的电压Vg可由以下的《公式2》表示:

$$\begin{aligned} Vg &= OVDD - |V_{th}| + (V_{d3} - V_{gr3}) \\ [0092] \quad &= OVDD - |V_{th}| - \Delta V1 \end{aligned} \quad \text{《公式 2》}$$

[0093] 而像素电路110于第三运行周期的发光阶段中的驱动电流Idri则可由下列的《公式3》表示:

$$\begin{aligned} Idri &= \frac{1}{2} k(OVDD - Vg - |V_{th}|)^2 \\ [0094] \quad &= \frac{1}{2} k(OVDD - OVDD + |V_{th}| + \Delta V1 - |V_{th}|)^2 \\ &= \frac{1}{2} k(V_{gr3} - V_{d3})^2 \end{aligned} \quad \text{《公式 3》}$$

[0095] 在《公式3》中,k表示驱动晶体管110的载子迁移率(carrier mobility)、栅极氧化层的单位电容大小以及栅极宽长比三者的乘积。

[0096] 相似地,于第四运行周期中,像素电路110于重置阶段和补偿阶段接收到第四灰阶电压Vgr4。因此,于发光阶段中,第一节点Ng的电压Vg可由以下的《公式4》表示:

$$\begin{aligned} Vg &= OVDD - |V_{th}| + (V_{d3} - V_{gr4}) \\ [0097] \quad &= OVDD - |V_{th}| - \Delta V2 \end{aligned} \quad \text{《公式 4》}$$

[0098] 另外,像素电路110于第四运行周期的发光阶段中的驱动电流Idri则可以由下列的《公式5》表示:

$$\begin{aligned} Idri &= \frac{1}{2} k(OVDD - Vg - |V_{th}|)^2 \\ [0099] \quad &= \frac{1}{2} k(OVDD - OVDD + |V_{th}| + \Delta V2 - |V_{th}|)^2 \\ &= \frac{1}{2} k(V_{gr4} - V_{d3})^2 \end{aligned} \quad \text{《公式 5》}$$

[0100] 值得注意的是,由于第四灰阶电压Vgr4大于第三灰阶电压Vgr3,使得第四灰阶电压Vgr4和第三预设电压Vd3的差值 $\Delta V2$,大于第三灰阶电压Vgr3和第三预设电压Vd3的差值 $\Delta V1$ 。因此,第四周期中的驱动电流Idri大于第三驱动周期中的驱动电流Idri。

[0101] 由上述可知,在图5的实施例中,驱动电流Idri正相关于像素电路110于重置阶段和补偿阶段接收到的数据电压Vdata-1或Vdata-2(例如,第三灰阶电压Vgr3或第四灰阶电压Vgr4)。亦即,像素电路110具有可变的驱动电流Idri,因而使得像素电路110具有可变发光亮度。并且,由于驱动晶体管111于发光阶段维持于导通状态,像素电路110具有固定发光时间。另外,数据电压Vdata-1和Vdata-2于发光阶段中的波形近似于方波。

[0102] 在某些实施例中,像素电路110的第一开关112、第二开关113和第三开关114是由N型晶体管来实现,并可使用和图4a至图5的实施例中的第一控制信号SEL1、第二控制信号

SEL2和发光信号EM反向的信号来控制像素电路110。

[0103] 例如,在第一开关112、第二开关113和第三开关114是由N型晶体管来实现的情况下,于重置阶段中,第一控制信号SEL1和第二控制信号SEL2处于高电压电平,而发光控制信号EM处于低电压电平,其余依此类推。

[0104] 图6为依据本公开文件的一实施例的驱动方法600简化后的流程图。驱动方法600适用于上述的微发光二极管显示面板100。

[0105] 于流程S602,提供前述的微发光二极管显示面板100。

[0106] 于流程S604,于微发光二极管显示面板100的写入阶段中(亦即,所有像素电路110皆不发光时),分别提供波形大致为方波的数据电压Vdata-1和Vdata-2至行140-1和140-2的像素电路110。其中,行140-1的像素电路110会按序接收数据电压Vdata-1,行140-2的像素电路110也会按序接收数据电压Vdata-2。

[0107] 于流程S606,同样于微发光二极管显示面板100的写入阶段中,提供波形大致为方波的数据电压Vdata-3至行140-3的像素电路110。其中,行140-3的像素电路110会按序接收数据电压Vdata-3。

[0108] 于流程S608,于微发光二极管显示面板100的发光阶段中(亦即,所有像素电路110共同发光时),分别提供波形大致为方波且会于一预定时段中维持于固定电压电平的数据电压Vdata-1和Vdata-2至行140-1和140-2的像素电路110。并且,令行140-1的每个像素电路110共同接收数据电压Vdata-1,令行140-2的每个像素电路110共同接收数据电压Vdata-2。

[0109] 如此一来,于发光阶段中,行140-1和140-2的像素电路110会具有可变发光亮度和固定发光时间,其中行140-1和140-2的像素电路110各自的可变发光亮度,正相关于行140-1和140-2的像素电路110各自于写入阶段中接收到的数据电压Vdata-1或Vdata-2的大小。

[0110] 于流程S610,同样于微发光二极管显示面板100的发光阶段中,提供波形大致为三角波且具有非固定电压电平的数据电压Vdata-3至行140-3的像素电路110,并令行140-3的每个像素电路110共同接收数据电压Vdata-3。如此一来,于发光阶段中,行140-3的每个像素电路110会具有可变发光时间,且行140-3的每个像素电路110于可变发光时间中皆具有固定发光亮度。另外,行140-3的像素电路110各自的可变发光时间,正相关于行140-3的像素电路110各自于写入阶段中接收到的数据电压Vdata-3的大小。

[0111] 由上述可知,微发光二极管显示面板100和驱动方法600无需使用特制的像素电路,即可使绿色的像素电路110产生不同的灰阶亮度并避免色偏。因此,微发光二极管显示面板100和驱动方法600还具有简化设计的优势。

[0112] 在说明书及权利要求中使用了某些词汇来指称特定的元件。然而,所属技术领域技术人员应可理解,同样的元件可能会用不同的名词来称呼。说明书及权利要求并不以名称的差异做为区分元件的方式,而是以元件在功能上的差异来做为区分的基准。在说明书及权利要求所提及的「包含」为开放式的用语,故应解释成「包含但不限于」。另外,「耦接」在此包含任何直接及间接的连接手段。因此,若文中描述第一元件耦接于第二元件,则代表第一元件可通过电性连接或无线传输、光学传输等信号连接方式而直接地连接于第二元件,或者通过其他元件或连接手段间接地电性或信号连接至该第二元件。

[0113] 以上仅为本发明的优选实施例,凡依本发明权利要求所做的均等变化与修饰,皆

应属本发明的涵盖范围。

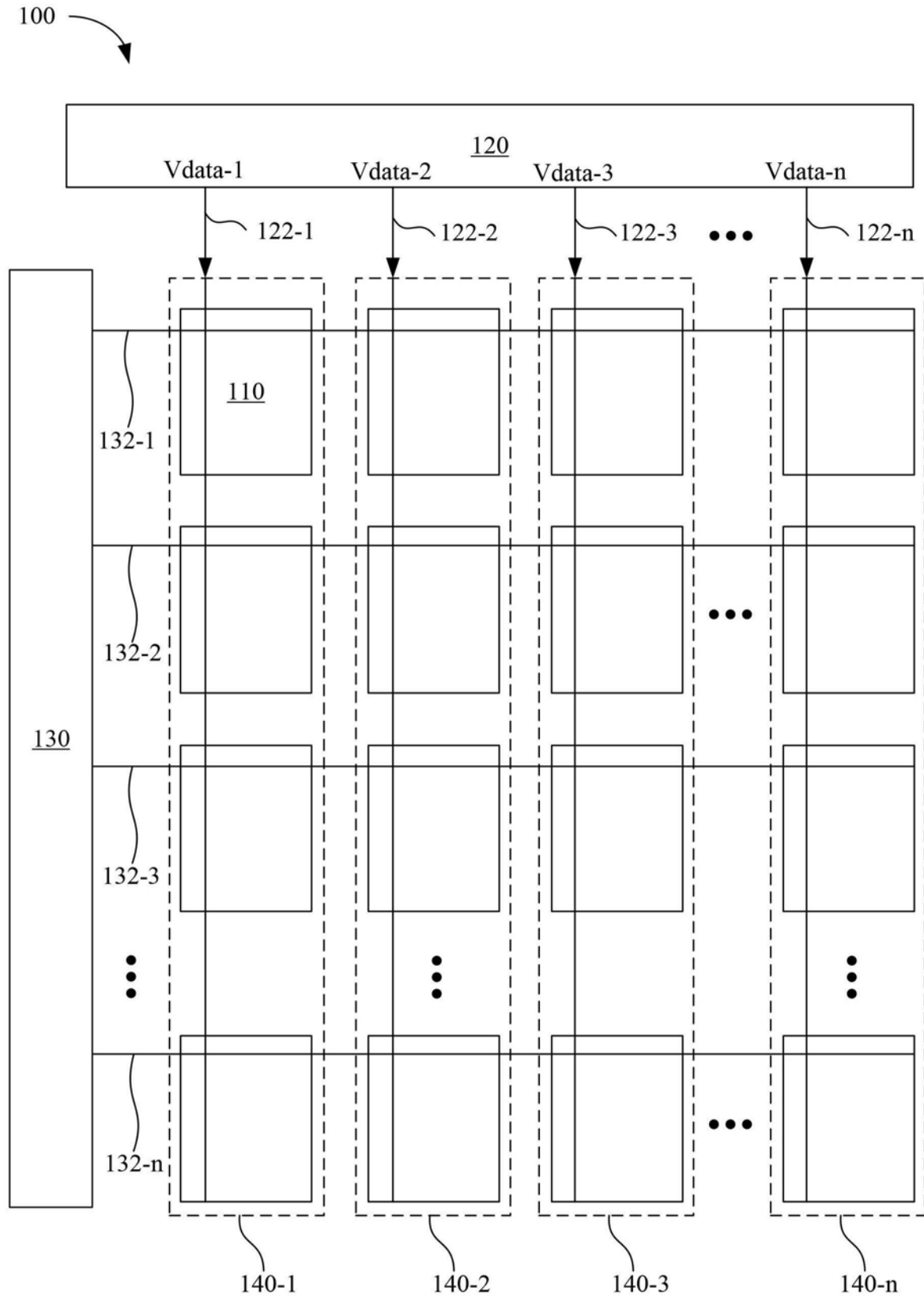


图1

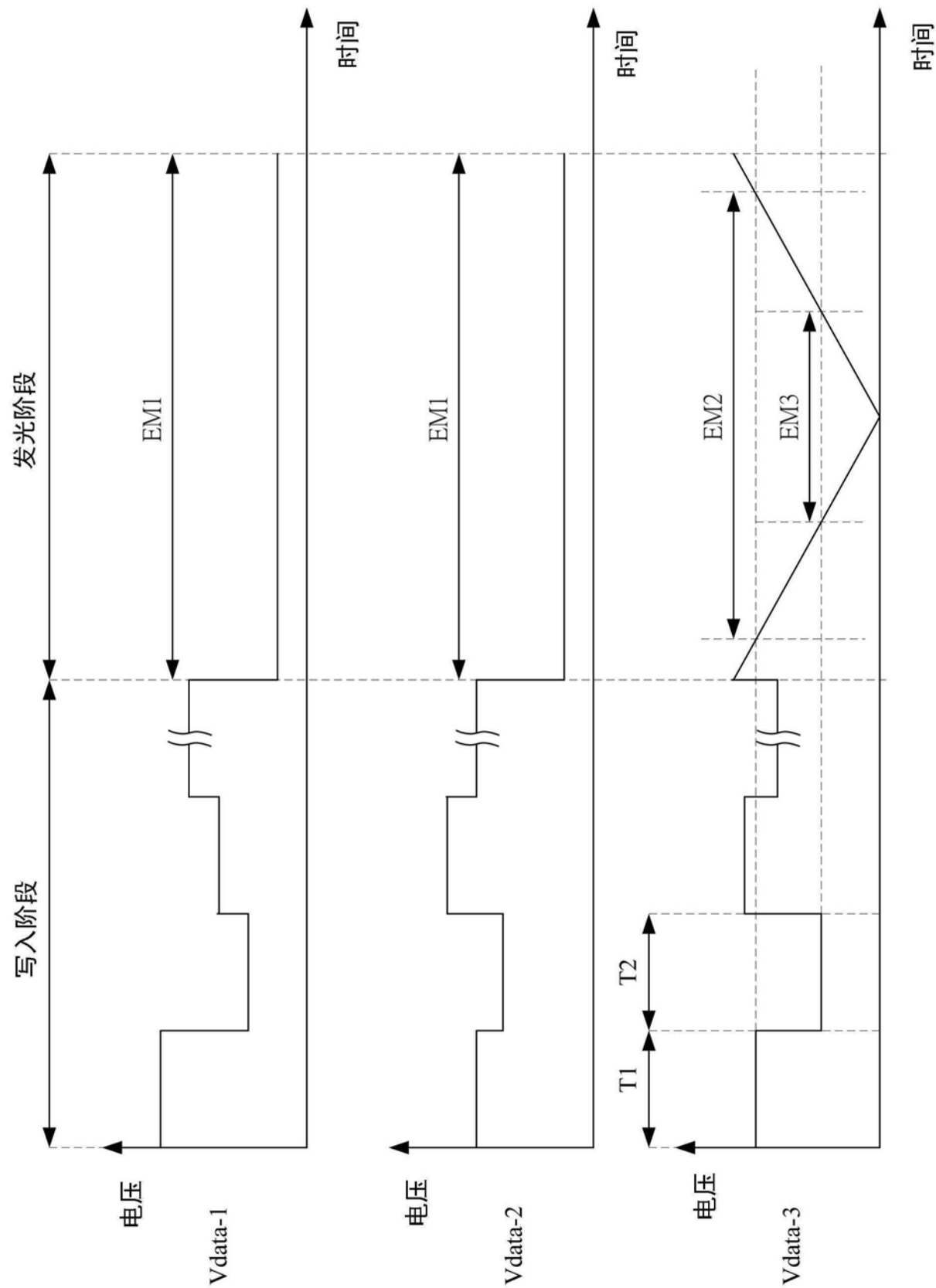


图2

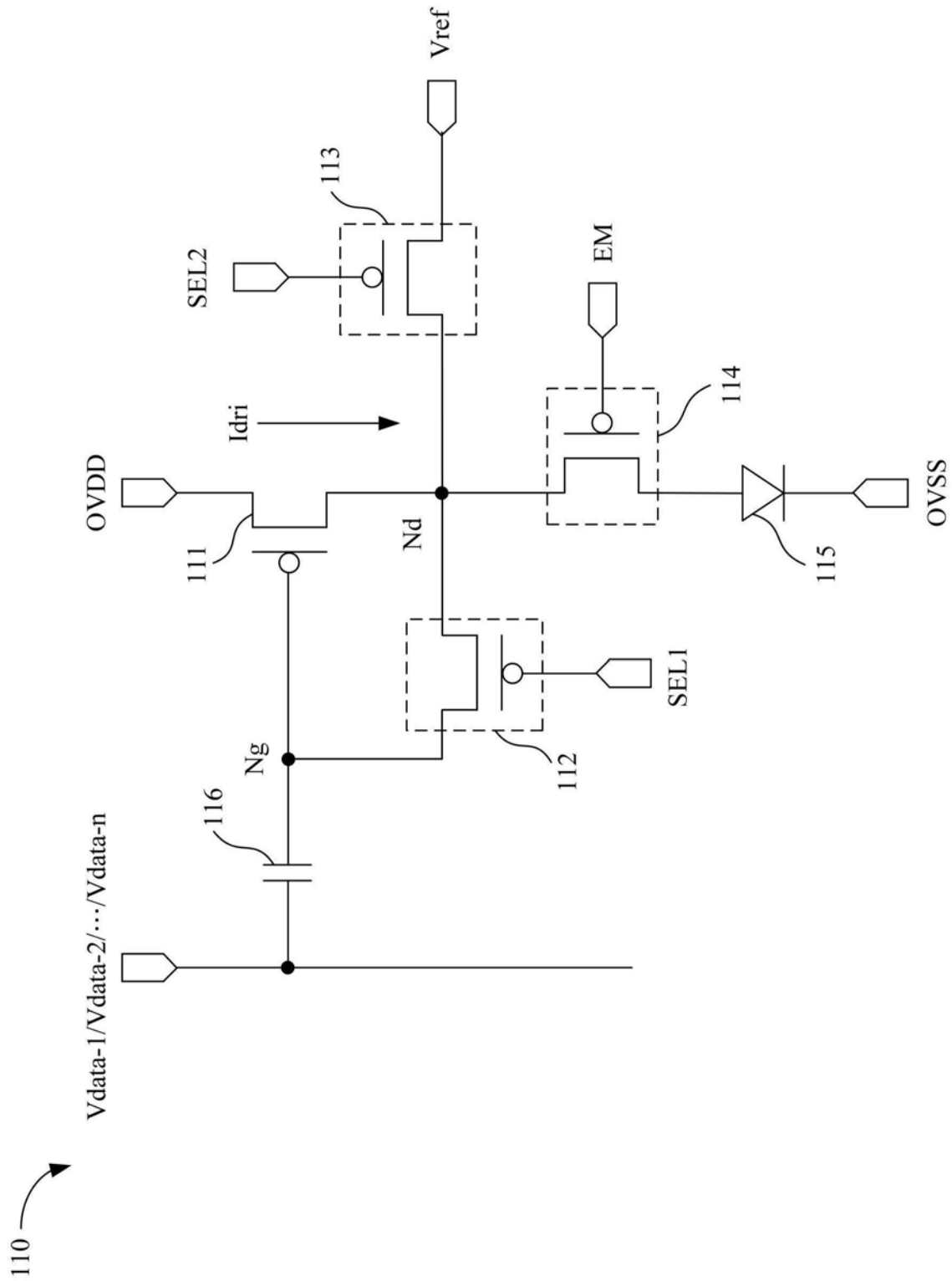


图3

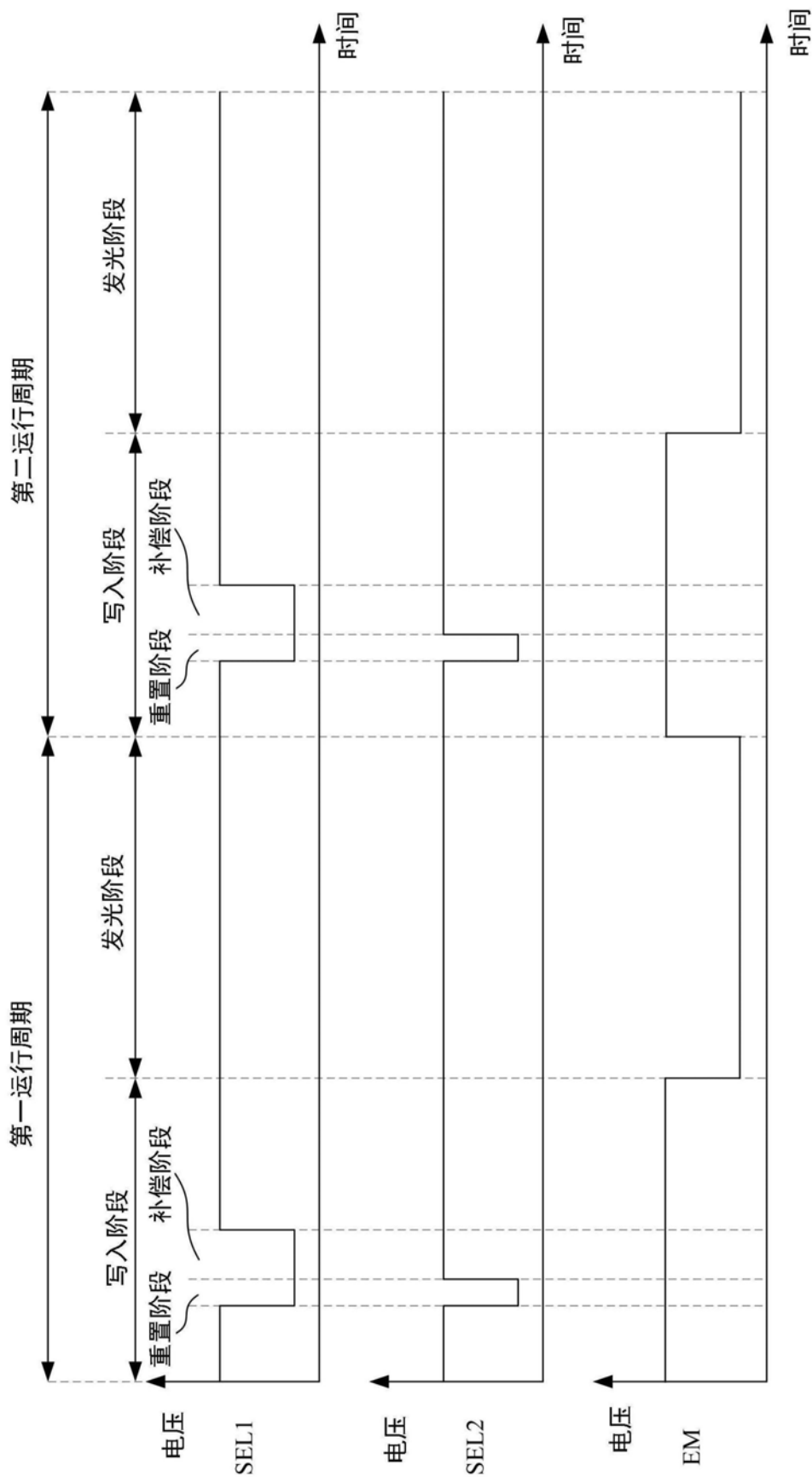


图4a

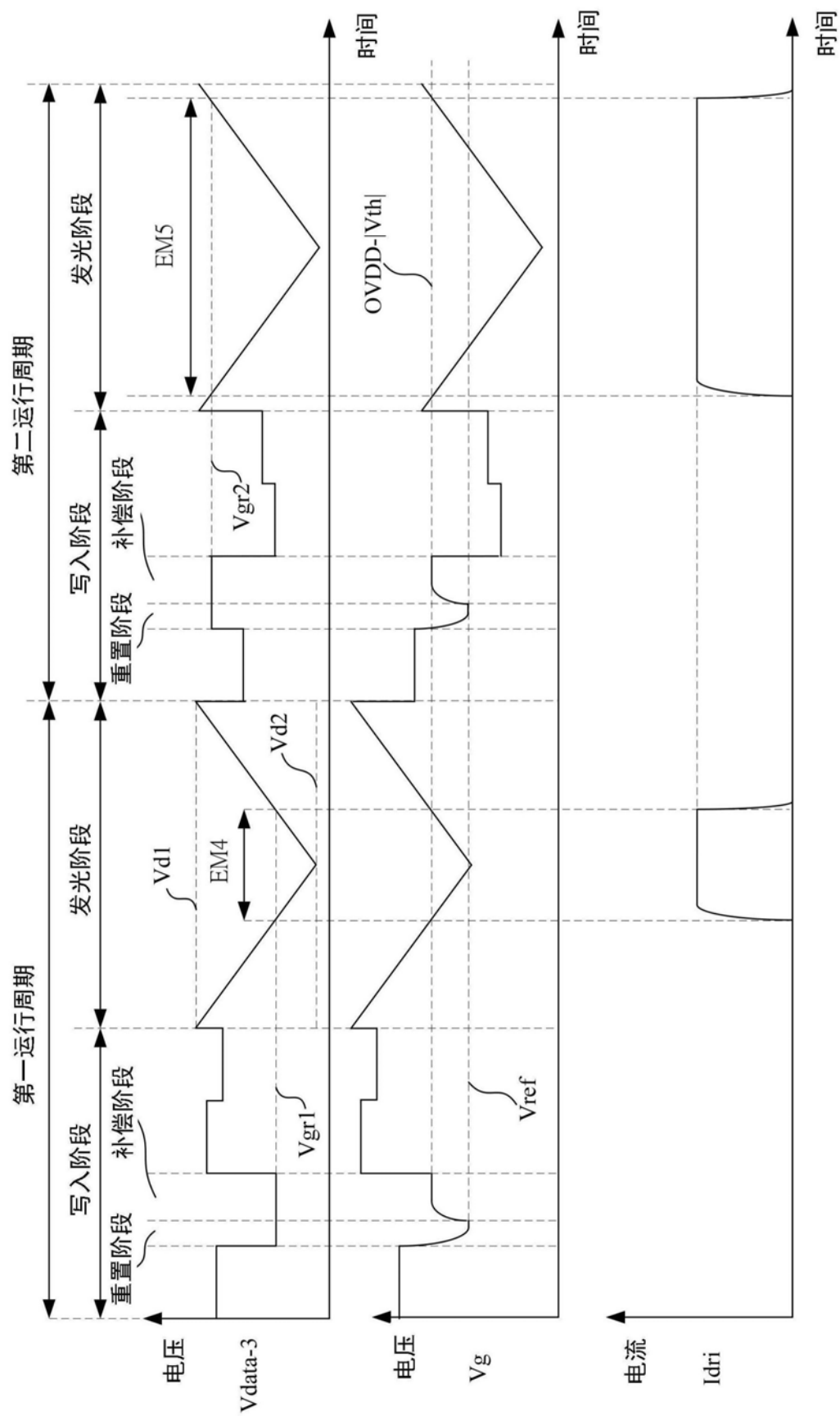


图4b

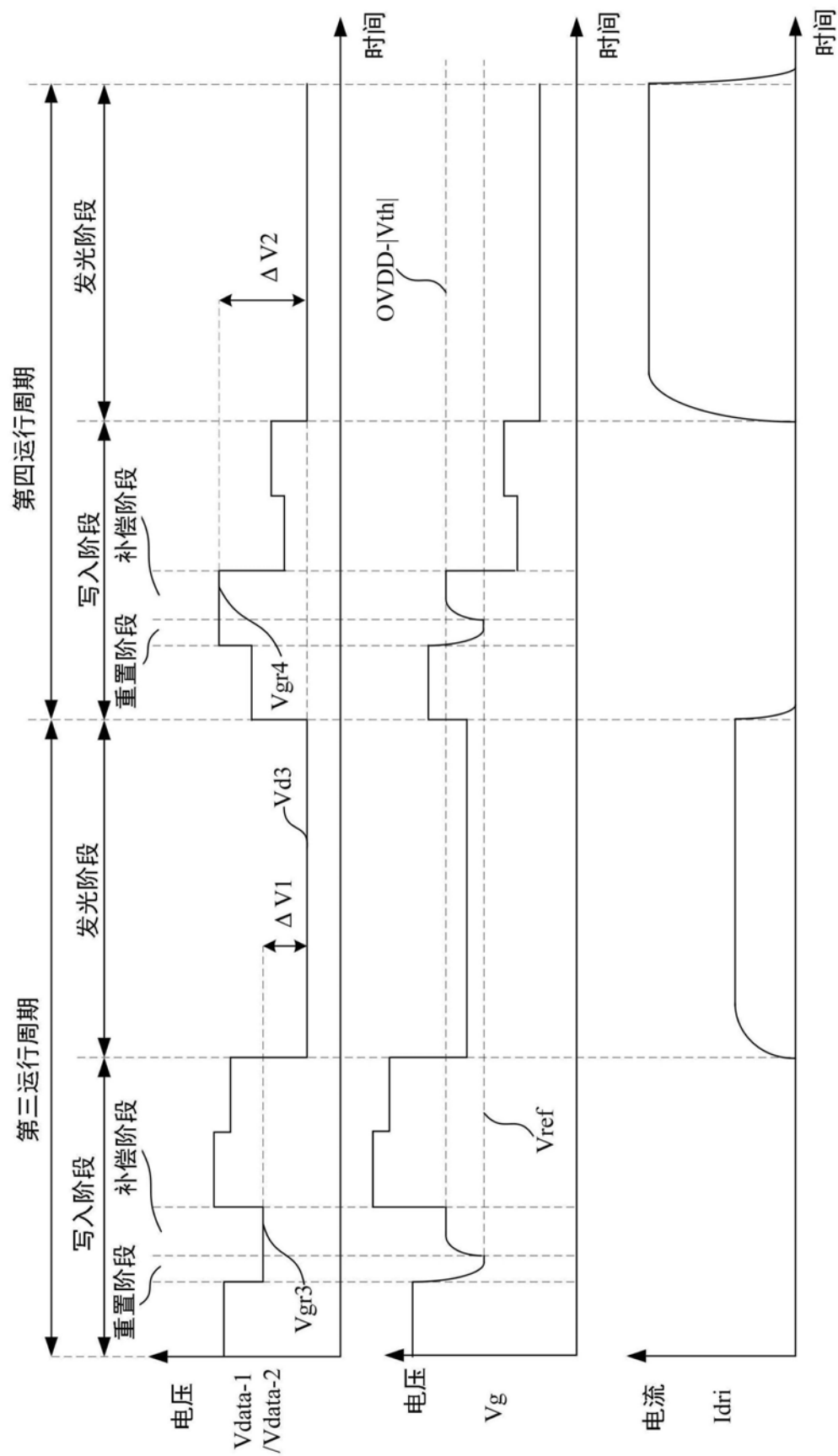


图5

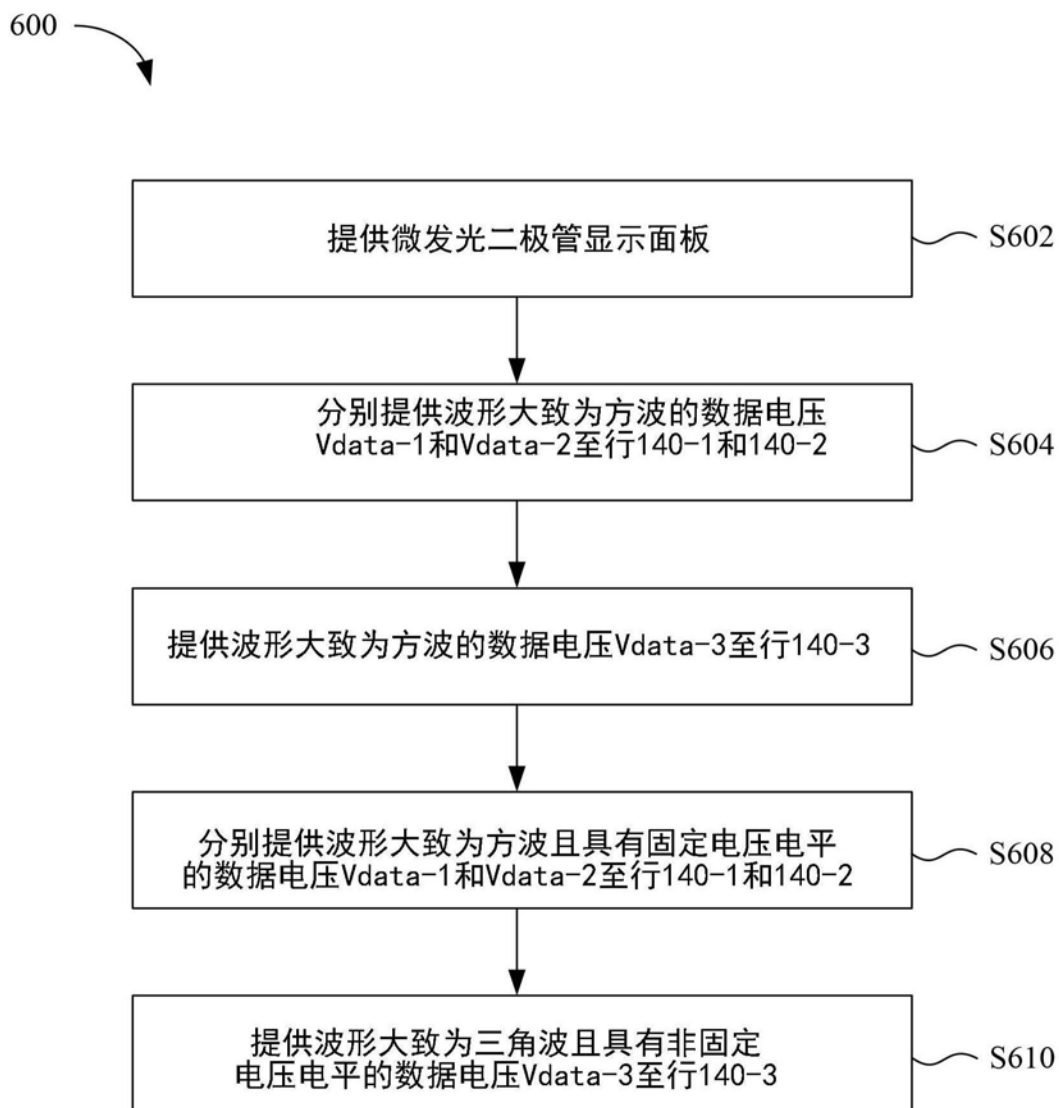


图6

专利名称(译)	微发光二极管显示面板和驱动方法		
公开(公告)号	CN108320700B	公开(公告)日	2020-04-14
申请号	CN201810443049.2	申请日	2018-05-10
[标]申请(专利权)人(译)	友达光电股份有限公司		
申请(专利权)人(译)	友达光电股份有限公司		
当前申请(专利权)人(译)	友达光电股份有限公司		
[标]发明人	洪嘉泽 郑贸薰		
发明人	洪嘉泽 郑贸薰		
IPC分类号	G09G3/32		
CPC分类号	G09G3/32		
代理人(译)	黄艳 李琛		
优先权	107107485 2018-03-06 TW		
其他公开文献	CN108320700A		
外部链接	Espacenet SIPO		

摘要(译)

微发光二极管显示面板包含多个像素电路、第一数据线和第二数据线。多个像素电路排列成多行的一矩阵形状。第一数据线耦接于多个像素电路中的第一行像素电路，用于输出第一数据电压至第一行像素电路。第二数据线耦接于多个像素电路中的第二行像素电路，用于输出第二数据电压至第二行像素电路。当多个像素电路共同发光时，第一数据电压于预设时段中具有固定的电压电平，第二数据电压具有非固定的电压电平。

